

Capítulo I

Portas Lógicas Básicas

1 Introdução

Em qualquer sistema digital¹ a unidade básica construtiva é o elemento denominado **Porta Lógica**. Este capítulo descreve as portas lógicas usuais, seu uso e funcionalidade.

Portas lógicas são encontradas desde o nível de integração em larga escala (circuitos integrados de processadores pentium, por exemplo) até o nível de integração existente em circuitos integrados digitais mais simples (famílias de circuitos integrados TTL e CMOS por exemplo).

Passamos a descrever, então, o conjunto básico de portas lógicas utilizadas em Eletrônica Digital bem como a forma em que são comercialmente disponíveis.

2 A Porta AND

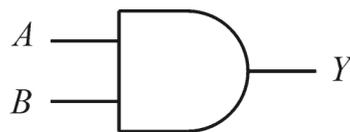


Figura 1: Símbolo gráfico de uma porta lógica AND de 2 entradas (*A* e *B*).

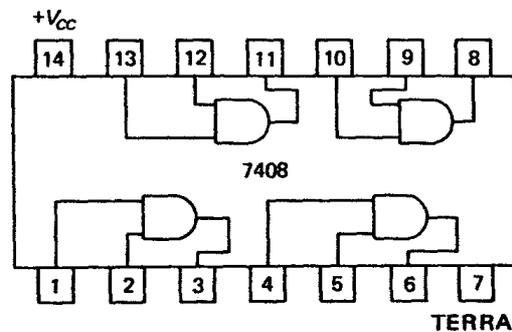


Figura 2: Diagrama de pinos de um circuito integrado (CI) disponível comercialmente (TTL – 7408) , contendo 4 portas AND. Para a família de CIs TTL, a alimentação é $+V_{cc} = 5V$.

¹ Por exemplo, o sistema digital que controla as ações a serem executadas por motores e acionadores de um conjunto de elevadores, o controlador de um processo industrial, o microprocessador de um computador, etc...

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Tabela 1: Tabela verdade de uma porta lógica AND de 2 entradas.**Observações:**

- (I) Em lógica digital o valor lógico 0 significa **FALSO (F)** e normalmente é representado por um nível de tensão $0V$, isto é, um nível baixo de tensão – **LOW (L)**.
- (II) O valor lógico 1 significa **VERDADEIRO (V)** e normalmente é representado por um nível de tensão $+V_{cc}$, isto é, um nível alto de tensão – **HIGH (H)**.

⇒ Assim, no contexto das observações (I) e (II) é possível concluir que a tabela verdade de uma porta AND de 2 entradas (Tabela 1) pode ter as seguintes representações alternativas:

| A | B | Y |
|-----|-----|-----|
| F | F | F |
| F | V | F |
| V | F | F |
| V | V | V |

Tabela 2: Representação alternativa da tabela verdade de uma porta lógica AND de 2 entradas.

| A | B | Y |
|-----------|-----------|-----------|
| $0V$ | $0V$ | $0V$ |
| $0V$ | $+V_{cc}$ | $0V$ |
| $+V_{cc}$ | $0V$ | $0V$ |
| $+V_{cc}$ | $+V_{cc}$ | $+V_{cc}$ |

Tabela 3: Representação alternativa da tabela verdade de uma porta lógica AND de 2 entradas assumindo que o valor de tensão $+V_{cc}$ represente **VERDADEIRO (V)** e que o valor de tensão $0V$ represente **FALSO (F)**.

| <i>A</i> | <i>B</i> | <i>Y</i> |
|----------|----------|----------|
| L | L | L |
| L | H | L |
| H | L | L |
| H | H | H |

Tabela 4: Representação alternativa da tabela verdade de uma porta lógica AND de 2 entradas.

⇒ Supondo que sejam aplicados dois trens de pulsos retangulares de tensão nas entradas *A* e *B* de uma porta lógica, o gráfico no tempo do sinal obtido na saída *Y* denomina-se **Diagrama de Tempo**:

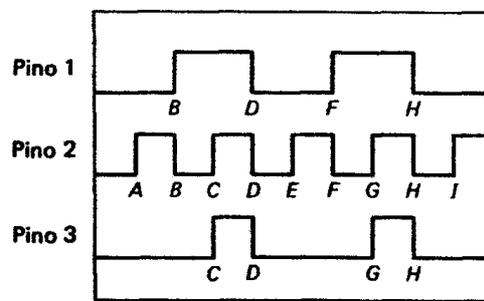


Figura 3: Exemplo do diagrama de tempo que seria observado na tela de um osciloscópio para uma porta lógica AND de 2 entradas (TTL – 7408 – ver Figura 2). Note que os níveis de tensão ao longo do tempo obedecem a Tabela 3.

⇒ Na prática, os valores V e F da tabela verdade de uma porta lógica representam a ocorrência de eventos que devem resultar combinados na saída *Y* de acordo com uma lei de formação que atenda um determinado problema a ser resolvido.

⇒ Por exemplo, a Tabela 2 poderia representar a situação em que queremos controlar o motor que abre e fecha a porta de um elevador (controlado pela saída *Y* de uma porta AND) em função de o elevador estar parado no andar em questão (sensor que aplica uma tensão $+V_{cc}$ à entrada *A* da porta AND quando esta situação ocorre) e em função de o usuário do elevador ter apertado o botão de abertura de porta (sensor que aplica uma tensão $+V_{cc}$ à entrada *B* da porta AND quando esta situação ocorre):

| A (elevador parado no andar) | B (botão de abertura de porta pressionado) | Y (abre a porta do elevador) |
|--------------------------------|--|--------------------------------|
| F | F | F |
| F | V | F |
| V | F | F |
| V | V | V |

Tabela 5: Exemplo de aplicação simples de uma porta AND de 2 entradas na abertura/fechamento da porta de um elevador.

3 A Porta OR

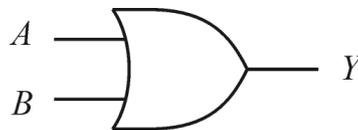


Figura 4: Símbolo gráfico de uma porta lógica OR de 2 entradas (A e B).

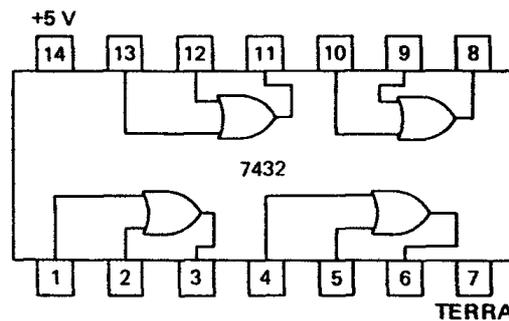


Figura 5: Diagrama de pinos de um circuito integrado (CI) disponível comercialmente (TTL – 7432), contendo 4 portas OR.

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Tabela 6: Tabela verdade de uma porta lógica OR de 2 entradas.

⇒ São válidas todas as conclusões resultantes das observações (I) e (II) para uma porta AND no que diz respeito à tabela verdade de uma porta OR.

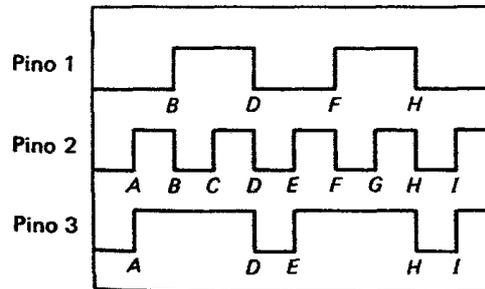


Figura 6: Exemplo do diagrama de tempo que seria observado na tela de um osciloscópio para uma porta lógica OR de 2 entradas (TTL – 7432 – ver Figura 5).

4 A Porta XOR

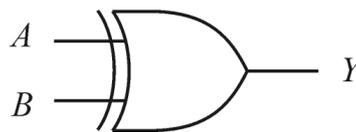


Figura 7: Símbolo gráfico de uma porta lógica XOR de 2 entradas (A e B).

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tabela 7: Tabela verdade de uma porta lógica XOR de 2 entradas.

⇒ São válidas todas as conclusões resultantes das observações (I) e (II) para uma porta AND no que diz respeito à tabela verdade de uma porta XOR.

5 A Porta NOT

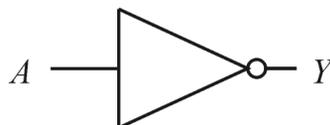


Figura 8: Símbolo gráfico de uma porta lógica NOT.

| A | Y |
|-----|-----|
| 0 | 1 |
| 1 | 0 |

Tabela 8: Tabela verdade de uma porta lógica NOT.

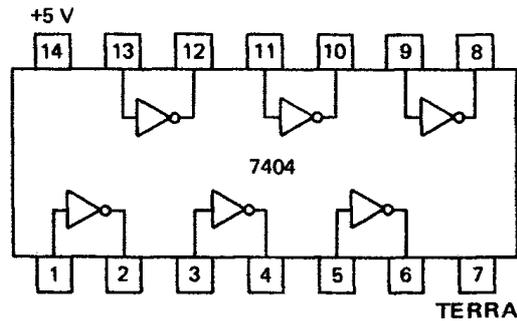


Figura 9: Diagrama de pinos de um circuito integrado (CI) disponível comercialmente (TTL – 7404), contendo 6 portas NOT.

⇒ São válidas todas as conclusões resultantes das observações (I) e (II) para uma porta AND no que diz respeito à tabela verdade de uma porta NOT.

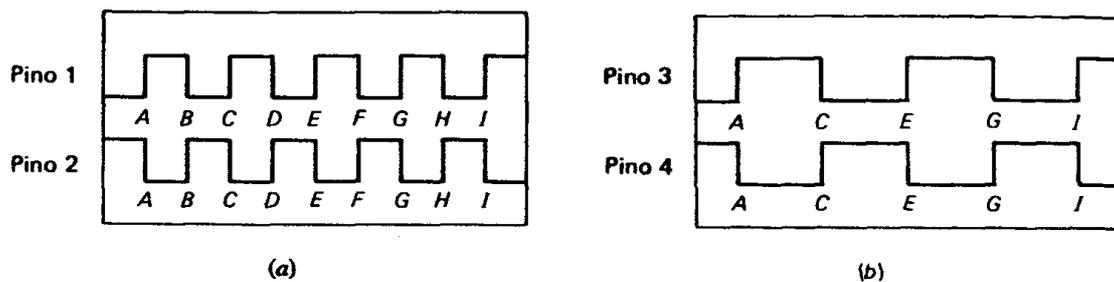


Figura 10: Exemplo de diagramas de tempo que seriam observados na tela de um osciloscópio para uma porta lógica NOT (TTL – 7404 – ver Figura 9).

6 A Porta NAND

● Uma porta NAND é equivalente a uma porta AND seguida de uma porta NOT:

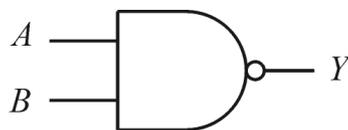


Figura 11: Símbolo gráfico de uma porta lógica NAND de 2 entradas (A e B).

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tabela 9: Tabela verdade de uma porta lógica NAND de 2 entradas.

⇒ São válidas todas as conclusões resultantes das observações (I) e (II) para uma porta AND no que diz respeito à tabela verdade de uma porta NAND.

7 A Porta NOR

- Uma porta NOR é equivalente a uma porta OR seguida de uma porta NOT:

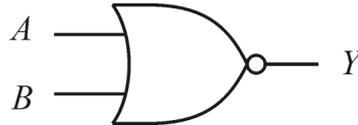


Figura 12: Símbolo gráfico de uma porta lógica NOR de 2 entradas (A e B).

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Tabela 10: Tabela verdade de uma porta lógica NOR de 2 entradas.

⇒ São válidas todas as conclusões resultantes das observações (I) e (II) para uma porta AND no que diz respeito à tabela verdade de uma porta NOR.

8 A Porta XNOR

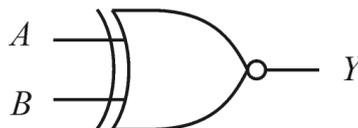


Figura 13: Símbolo gráfico de uma porta lógica XNOR de 2 entradas (A e B).

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Tabela 11: Tabela verdade de uma porta lógica XNOR de 2 entradas.

⇒ São válidas todas as conclusões resultantes das observações (I) e (II) para uma porta AND no que diz respeito à tabela verdade de uma porta XNOR.

9 Portas Lógicas com Múltiplas Entradas

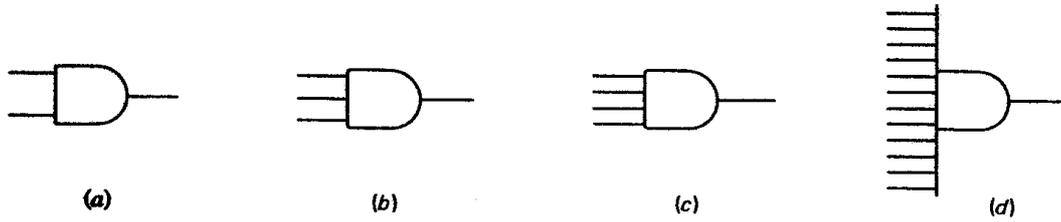


Figura 14: Símbolo gráfico de uma porta lógica AND de (a) 2 entradas , (b) 3 entradas, (c) 4 entradas, (d) 12 entradas.

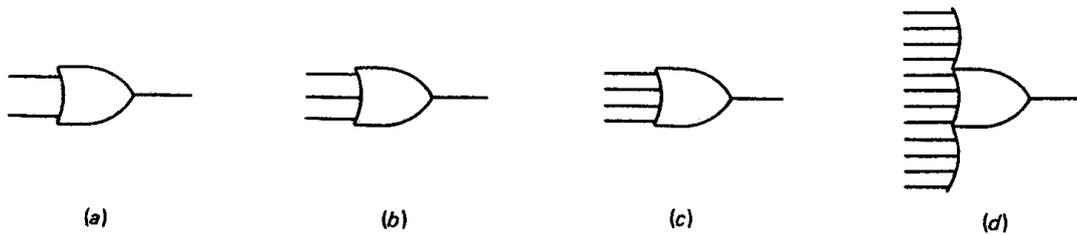


Figura 15: Símbolo gráfico de uma porta lógica OR de (a) 2 entradas , (b) 3 entradas, (c) 4 entradas, (d) 12 entradas.

10 Portas Lógicas Disponíveis Comercialmente

| Função da Porta | CI c/ 4 Portas de 2 Entradas | CI c/ 3 Portas de 3 Entradas | CI c/ 2 Portas de 4 Entradas | CI c/ 1 Porta de 8 Entradas |
|-----------------|------------------------------|------------------------------|------------------------------|-----------------------------|
| NAND | 7400 | 7410 | 7420 | 7430 |
| NOR | 7402 | 7427 | 7425 | |
| AND | 7408 | 7411 | 7421 | |
| OR | 7432 | | | |

Tabela 12: Portas lógicas da família TTL disponíveis comercialmente em forma de circuito integrado (CI).

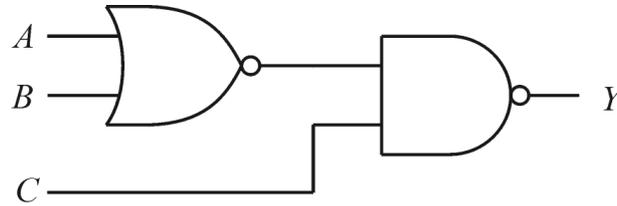
11 Interligação de Portas Lógicas

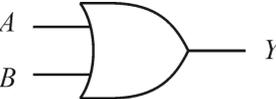
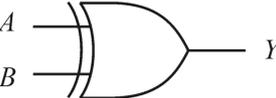
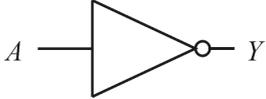
Figura 16: Exemplo de combinação de uma porta lógica NOR de duas entradas com uma porta NAND de duas entradas formando uma **Função Lógica** de 3 **variáveis** (A , B e C).

| A | B | C | Y |
|-----|-----|-----|-----|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Tabela 13: Tabela verdade da **Função Lógica** de 3 variáveis implementada pela combinação de portas da Figura 16.

12 Equação Booleana de Funções Lógicas

● Para facilitar o tratamento analítico das diversas funções lógicas possíveis de serem implementadas através de portas lógicas utiliza-se a representação da função lógica através de Equações Booleanas.

| Função Lógica Básica | Símbolo Gráfico da Porta | Equação Booleana |
|----------------------|---|-----------------------------|
| AND |  | $Y = A \cdot B$ |
| OR |  | $Y = A + B$ |
| XOR |  | $Y = A \oplus B$ |
| NOT |  | $Y = \bar{A}$ |
| NAND |  | $Y = \overline{A \cdot B}$ |
| NOR |  | $Y = \overline{A + B}$ |
| XNOR |  | $Y = \overline{A \oplus B}$ |